

PROCESS DATA PROCESSING SYSTEM AND PROCESSING METHOD

Patent Number: JP5257852
Publication date: 1993-10-08
Inventor(s): ANPO OSAMU
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP5257852
Application Number: JP19920051645 19920310
Priority Number(s):
IPC Classification: G06F13/00; H04L12/28; H04Q9/00
EC Classification:
Equivalents: JP2920441B2

Abstract

PURPOSE:To provide the process data processing system which is improved in control capacity by simplifying the response wait time control of a computer and shortening the processing time of the computer.

CONSTITUTION:The rationality of address data and direction data as parameters is checked and when the result is O.K., a response as a normal end is sent back at the stage; and then the setting of address data in an address memory 44 and the setting of direction data in a direction memory 45 which require a long time are performed. If the address data and/or direction data as the parameter is abnormal, a response as parameter abnormality is sent back and the process ends. Consequently, the time between a command and the response becomes constant irrelevantly to whether the data to be processed are long or short, so the time control of the computer can be simplified.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-257852

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 5 5	7368-5B		
H 0 4 L 12/28				
H 0 4 Q 9/00	3 1 1 Q	7170-5K 8948-5K	H 0 4 L 11/ 00	3 1 0 D

審査請求 未請求 請求項の数 4 (全 10 頁)

(21)出願番号 特願平4-51645

(22)出願日 平成4年(1992)3月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 安保 統

茨城県日立市大みか町5丁目2番1号 株

式会社日立製作所大みか工場内

(74)代理人 弁理士 鶴沼 辰之

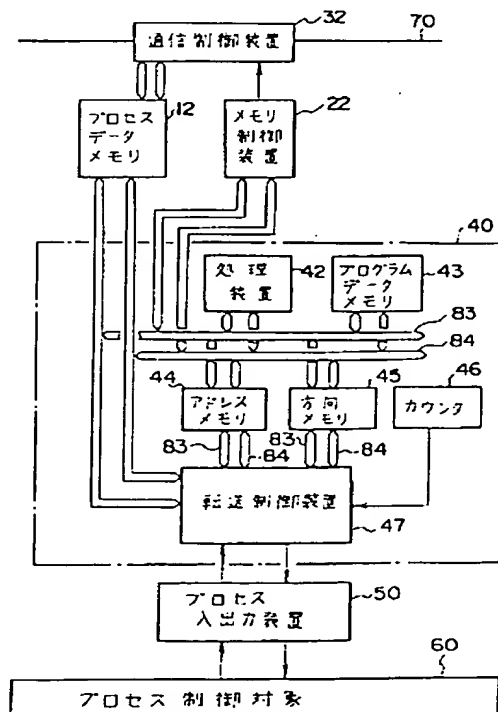
(54)【発明の名称】 プロセスデータ処理システムおよび処理方法

(57)【要約】

【目的】 計算機のレスポンス待ち時間管理を単純化して、計算機の処理時間を短縮し、システムの制御能力を高めたプロセスデータ処理システムを提供する。

【構成】 パラメータとしてのアドレスデータおよび方向データの合理性をチェックし、OKならば、その段階で正常終了のレスポンスを返送し、その後に時間の掛かるアドレスメモリ44へのアドレスデータの設定と方向メモリ45への方向データの設定とを実行する。一方、パラメータとしてのアドレスデータおよび/または方向データに異常がある場合は、パラメータ異常のレスポンスを返送して、処理を終了する。

【効果】 処理すべきデータの長短にかかわらず、コマンドとレスポンスとの間の時間が一定になるので、計算機の時間管理を単純化できる。



【特許請求の範囲】

【請求項1】 制御用計算機またはプロセス制御装置をそれぞれ接続した複数の通信制御装置を伝送路に接続し、少なくとも1つの前記通信制御装置からプロセスデータをサイクリックに送信し、前記送信側通信制御装置以外の通信制御装置が前記プロセスデータを受信するデータ伝送手段を備えたプロセスデータ処理システムにおいて、

前記計算機が、サイクリックフレームデータ内に制御コマンドと制御データとを入れ送信する手段を備え、前記プロセス制御装置が、プロセス入出力手段と当該プロセス入出力手段に接続された通信制御装置との間に、受信フレームデータに含まれた前記制御コマンドの合理性をチェックする手段と、チェック完了後直ちに前記フレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送する手段と、前記正常終了レスポンスを返送した場合前記制御コマンドと前記制御データとに基づき制御内容を実行し制御結果を前記フレームデータ内にレスポンスとして入れ送信する手段とを備えたことを特徴とするプロセスデータ処理システム。

【請求項2】 制御用計算機またはプロセス制御装置をそれぞれ接続した複数の通信制御装置を伝送路に接続し、少なくとも1つの前記通信制御装置からプロセスデータをサイクリックに送信し、前記送信側通信制御装置以外の通信制御装置が前記プロセスデータを受信するデータ伝送手段を備えたプロセスデータ処理システムにおいて、

前記計算機が、サイクリックフレームデータ内に制御コマンドと制御データとを入れ送信する手段を備え、前記プロセス制御装置が、プロセス入出力手段と当該プロセス入出力手段に接続された通信制御装置との間に、受信フレームデータに含まれた制御コマンド識別番号が前回と同一であるときは当該制御コマンドを無視する手段と、無視されなかった受信フレームデータに含まれた前記制御コマンドの合理性をチェックする手段と、チェック完了後直ちに前記フレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送する手段と、前記正常終了レスポンスを返送した場合前記制御コマンドと前記制御データとに基づき制御内容を実行し制御結果を前記フレームデータ内にレスポンスとして入れ送信する手段とを備えたことを特徴とするプロセスデータ処理システム。

【請求項3】 伝送路に接続された複数のステーションのうち少なくとも1つのステーションからプロセスデータを所定周期でサイクリックに送信し、前記送信側ステーション以外のステーションが前記プロセスデータを受信するデータ伝送方式を採用したプロセスデータ処理方法において、

前記送信側ステーションが、サイクリックフレームデー

タ内に制御コマンドと制御データとを入れて送信し、前記受信ステーション側が、受信フレームデータに含まれた前記制御コマンドの合理性をチェックし、チェック完了後直ちに前記フレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送し、前記正常終了レスポンスを返送した場合前記制御コマンドと前記制御データとに基づき制御内容を実行し制御結果を前記フレームデータ内にレスポンスとして入れ送信することを特徴とするプロセスデータ処理方法。

10 【請求項4】 伝送路に接続された複数のステーションのうち少なくとも1つのステーションからプロセスデータを所定周期でサイクリックに送信し、前記送信側ステーション以外のステーションが前記プロセスデータを受信するデータ伝送方式を採用したプロセスデータ処理方法において、

前記送信側ステーションが、サイクリックフレームデータ内に制御コマンドと制御データとを入れて送信し、前記受信ステーション側が、受信フレームデータに含まれた制御コマンド識別番号が前回と同一であるときは当該制御コマンドを無視し、無視されなかった受信フレームデータに含まれた前記制御コマンドの合理性をチェックし、チェック完了後直ちに前記フレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送し、前記正常終了レスポンスを返送した場合前記制御コマンドと前記制御データとに基づき制御内容を実行し制御結果を前記フレームデータ内にレスポンスとして入れ送信することを特徴とするプロセスデータ処理方法。

【発明の詳細な説明】

30 【0001】

【産業上の利用分野】本発明は、プロセスデータ処理システムに係り、特に、複数の通信制御装置を伝送路で接続し通信制御装置相互間のデータ交換にサイクリック通信方式を採用したプロセスデータ処理システムにおいて、サイクリック通信データフレーム内にコマンドデータとそれに対するレスポンスデータとを設け、コマンドによりプロセス入出力装置をリモート制御する方式およびレスポンスを効率的に返送する方式に関する。

【0002】

40 【従来の技術】従来のサイクリック通信方式は、送信側通信制御装置がメモリ内の情報を一定時間間隔で送信し、各受信側通信制御装置が一定の遅れ時間をもってその情報を受信ようになっていた。各受信側通信制御装置に接続してある計算機は、受信データがメモリ上で一定時間間隔で更新されるため、そのデータを必要とする時に自由に使用でき、送信側通信制御装置が送信したデータは、他の全ての受信側通信制御装置で受信可能であるから、送信側通信制御装置に接続してある計算機が、各受信局に対して一つずつデータを送信する必要が無く、送信側の計算機の処理を軽減できるという利点が

あった。

【0003】サイクリック通信の対象となるデータは、特開昭62-258534号や特開昭57-206924号等に見られるように、例えばプロセス制御用のプロセスデータである。

【0004】特開昭62-258534号では、計算機が、プロセスデータを一定周期で送信または受信するサイクリック通信方式を採用している。プロセスデータの収集は、ネットワーク内の各通信制御装置に接続してある計算機が実行する。

【0005】一方、特開昭57-206924号では、各プロセス監視制御対象毎に専用の制御装置を設置し、それらの制御装置を通信ネットワークで接続し、負荷を分散処理する構成を採用している。プロセス制御対象は、複数のプロセス入出力装置を介して通信ネットワークに接続され、各制御装置は、配下のプロセス入出力装置から必要なプロセス制御データを取り込んで演算処理する一方、自己の配下になくプロセス入出力装置のデータが必要になったときは、そのプロセス入出力装置を支配する制御装置との間でデータ通信を実行し、必要なデータを取得する。

【0006】また、一つのステーションを構成する計算機と通信制御装置との間で、複数フレームの送信を指令するコマンドを送る場合、計算機の待ち時間を短縮する方式は、例えば特開平1-232852号に提案されている。この方式においては、計算機と通信制御装置との間に、送信処理中ポイントと最新ポイントとを格納するインターフェイステーブルを設け、最新ポイントで示されたコマンドによる割込みを可能にしている。

【0007】

【発明が解決しようとする課題】従来のサイクリック通信によるプロセス制御システムでは、ネットワークを構成する通信制御装置に接続した計算機が、プロセス入出力装置との間でデータを入出力するので、計算機とプロセス入出力装置とが遠く離れている場合、プロセス入出力装置とのデータ入出力に別の計算機を介在させる必要があり、コスト高となる欠点があった。

【0008】本発明の目的は、多様に配置された制御対象へのデータ入出力に専用計算機を必要とせず安価なプロセスデータ処理システムを提供することである。

【0009】一方、従来の分散処理型プロセス制御装置は、各制御装置が自己配下のプロセス入出力装置についてのデータのみを保有する構成になっているので、他の制御装置の保有するデータが必要になった場合、所要のタイミングで、そのデータを保有する計算機との間でデータ通信を行う必要がある。このデータ通信処理中は、システムの応答性が低下し、制御性能を損ねるという問題があった。

【0010】本発明の他の目的は、プロセス入出力装置等の更新等の場合にも制御装置側で未実装エラー等の障

害を生ずることなく、高い応答性と柔軟な運転形態およびシステム構築性とを有するプロセスデータ処理システムを提供することである。

【0011】また、従来のプロセス制御システムでは、プロセス入出力装置を取りはずす等の変更の際、制御装置がデータを直接入出力していたので、プロセス入出力装置を取りはずす等の処理が、そのプロセス入出力装置が実装されていないことを示す未実装エラー等を招き、制御装置の計算機にとって致命的な障害になるという問題があった。

【0012】本発明の別の目的は、プロセス制御システムの運転形態に柔軟性を持たせ、保守等の作業の際に、プロセス入出力装置を取りはずしても全体の運用に影響を与えないプロセスデータ処理システムを提供することである。

【0013】計算機と通信制御装置との間に、送信処理中ポイントと最新ポイントとを格納するインターフェイステーブルを設け、最新ポイントで示されたコマンドによる割込みをかける方式では、そのステーション内の緊急送信を要するコマンドやデータの処理は合理化されるものの、相手の装置例えばプロセス入出力装置との間においては、なんら改善が見られなかった。

【0014】すなわち、計算機とプロセス入出力装置との間にコマンドインターフェイスを有するプロセス制御システムでは、計算機は、レスポンスが来るまでの時間を管理し、レスポンス待ちタイムアウトを判定している例が多い。そのレスポンス待ちタイムアウト時間が、各コマンド毎に異なっていると、計算機は、各コマンド毎にレスポンス待ち時間を管理しなければならないので、管理すべき時間の種類が多数になり、計算機側の処理が複雑になるという問題があった。

【0015】さらに、処理時間が長大で一定時間内に処理が終了しないようなコマンドについては、コマンド発行からレスポンス到着までの時間管理を一元化できないばかりでなく、処理が複雑化し、処理時間も長くなるという問題があった。

【0016】本発明の最も重要な目的は、計算機が管理すべき時間の種類を減らし、計算機側の処理を単純化しその負担を極力減らすとともに、プロセス入出力装置のコマンドに対するレスポンス返送の時間を短縮し、計算機の処理時間を短縮し、システムの制御能力を高めたプロセスデータ処理システムを提供することである。

【0017】

【課題を解決するための手段】本発明は、上記目的を達成するために、制御用計算機またはプロセス制御装置をそれぞれ接続した複数の通信制御装置を伝送路に接続し、少なくとも1つの通信制御装置からプロセスデータをサイクリックに送信し、送信側通信制御装置以外の通信制御装置がプロセスデータを受信するデータ伝送手段を備えたプロセスデータ処理システムにおいて、計算機

が、サイクリックフレームデータ内に制御コマンドと制御データとを入れ送信する手段を備え、プロセス制御装置が、プロセス入出力手段とそのプロセス入出力手段に接続された通信制御装置との間に、受信フレームデータに含まれた制御コマンドの合理性をチェックする手段と、チェック完了後直ちに前記フレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送する手段と、正常終了レスポンスを返送した場合のみ制御コマンドと制御データとに基づき制御内容を実行し制御結果をフレームデータ内にレスポンスとして入れ送信する手段とを備えたプロセスデータ処理システムを提案するものである。

【0018】プロセス制御装置は、受信フレームデータに含まれた制御コマンド識別番号が前回と同一であるときはその制御コマンドを無視する手段を備えてもよい。

【0019】本発明は、また、上記目的を達成するために、伝送路に接続された複数のステーションのうち少なくとも1つのステーションからプロセスデータを所定周期でサイクリックに送信し、送信側ステーション以外のステーションが前記プロセスデータを受信するデータ伝送方式を採用したプロセスデータ処理方法において、送信側ステーションが、サイクリックフレームデータ内に制御コマンドと制御データとを入れて送信し、受信ステーション側が、受信フレームデータに含まれた制御コマンドの合理性をチェックし、チェック完了後直ちにフレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送し、正常終了レスポンスを返送した場合のみ制御コマンドと制御データとに基づき制御内容を実行し制御結果をフレームデータ内にレスポンスとして入れ送信するプロセスデータ処理方法を提案するものである。

【0020】このプロセスデータ処理方法においても、受信フレームデータに含まれた制御コマンド識別番号が前回と同一であるときは当該制御コマンドを無視することができる。

【0021】

【作用】本発明において、各計算機は、プロセス入出力装置が持つ制御対象の全データを持つため、自己のメモリを参照すれば、必要なデータを取得できる。したがって、データ取得のための計算機間データ通信が不要となり、システムの応答性と制御性能が向上する。

【0022】レスポンス送信手段は、プロセス入出力装置の実装情報を計算機からのコマンドにより設定し、プロセス入出力装置の変更時は、実装情報を変更する。そこでコマンドを再発行すれば、未実装エラーは発生しない。計算機は、レスポンス送信手段が送ってきたデータを自分用の通信制御装置とプロセスデータメモリとを経由して取り込むため、計算機側では未実装エラーが全く発生しない。

【0023】計算機は、プロセス制御対象からのデータ

を取得する場合、取得するデータのプロセス入出力制御装置上のアドレスとそのデータを格納するメモリ上のアドレスとを同時に順序よくアクセスし、所定周期でサイクリックに送信する。その周期をプロセスの変化速度よりも十分に短くすると、必要な精度で最新のデータを取得できる。

【0024】計算機は、プロセス制御装置と直接接続されず、プロセスデータメモリを介して間接的に接続されるため、システム構築性が良くなり、プロセス制御装置を保守のために切り離すことができ、保守性も良好となる。

【0025】本発明においては、特に、受信フレームデータに含まれた制御コマンドの合理性をチェックし、処理すべきデータの長短にかかわらず、チェック完了後直ちにフレームデータ内に正常終了レスポンスまたはパラメータ異常レスポンスとして入れ返送する。そして、正常終了レスポンスを返送した場合のみ、制御コマンドと制御データとに基づき制御内容を実行し制御結果をフレームデータ内にレスポンスとして入れ送信する。そこで、計算機は、処理すべきデータの長短にかかわらず、コマンド発行から一定時間経過した後、プロセス入出力装置からのレスポンスデータを読み込み、発行したコマンドが正常終了したか異常終了したかを判別すればよい。したがって、レスポンスの到着を常時監視している必要がなく、計算機の負荷が軽減される。また、一定時間経過した後にレスポンスデータを読み込みに行っても、レスポンスが未到着の場合は、直ちにレスポンスタイムアウトと判定できるので、特別なタイマー管理は不要となる。

【0026】レスポンス返送後のコマンドおよびデータの本来的処理は、次のコマンド以降のコマンド処理の空き時間を使って実行する。コマンドとコマンドとの間隔は、一定時間にしているため、必ず空き時間を確保できる。

【0027】全てのコマンドが一定時間内に終了することから、計算機側では、コマンドの処理内容を考慮して、レスポンス待ち時間を設定する必要がなくなり、コマンドに対するレスポンス待ち時間を一律に管理でき、この点でも負担が軽減される。

【0028】

【実施例】次に、図1ないし図7を参照して、本発明によるプロセス制御システムの一実施例を説明する。図1は、本発明によるプロセス制御システムの一実施例の全体構成を示すブロック図である。プロセス制御システムは、プロセス制御対象60のプロセスを分散して制御する複数の計算機1、2と、通信路70により例えば環状に接続されている通信制御装置30、31、32、33と、各計算機1、2と通信制御装置30、31との間にそれぞれに接続されたプロセスデータメモリ10、11と、プロセスデータメモリ10、11の入出力およびサ

イクリック通信の周期をそれぞれ管理するメモリ制御装置20、21とを含んでいる。

【0029】プロセス制御システムは、また、通信制御装置32、33と制御対象60との間にそれぞれ設けられたプロセス入出力装置50、51と、プロセス入出力装置50、51をそれぞれ走査するスキャン装置40、41と、各スキャン装置40、41と通信制御装置32、33との間にそれぞれに接続されたプロセスデータメモリ12、13と、プロセスデータメモリ12、13の入出力およびサイクリック通信の周期をそれぞれ管理するメモリ制御装置22、23とを含んでいる。

【0030】図2は、図1の実施例の計算機とプロセスデータメモリとメモリ制御装置と通信制御装置との関係をより詳細に示すブロック図である。計算機1は、中央処理装置(CPU)80と、データメモリ81と、プログラムメモリ82と、これらを接続するアドレスバス83およびデータバス84とを備えている。アドレスバス83とデータバス84とは、プロセスデータメモリ10とメモリ制御装置20にも接続してある。プロセスデータメモリ10とメモリ制御装置20は、それぞれもう一組のアドレスバスおよびデータバスにより、通信制御装置30に接続されている。

【0031】なお、計算機2、プロセスデータメモリ11、通信制御装置31の部分の構成は、計算機1、プロセスデータメモリ10、通信制御装置30と同じである。

【0032】CPU80は、プログラムメモリ82に格納されているプログラムに従い、データメモリ81に格納されている制御対象60のプロセスデータ等を用いて必要な演算を実行し、通信制御装置30を介してプロセス制御対象60のプロセスを制御する。この制御を実現するには、プロセスデータメモリ10中の送信エリアと受信エリアおよび転写周期を決定する必要がある。

【0033】CPU80は、図4に示すように、プログラムメモリ82に格納されているプログラムに従い、プロセスデータメモリ10をエリアに区分する。プロセスデータメモリ10の中に図示したA、E等の大文字は送信エリアを表し、b、c、d等の小文字は受信エリアを表している。この大文字と小文字による表記方式は、他のプロセスデータメモリ11、12、13についても同様であり、大文字は送信エリアを表し、小文字は受信エリアを表している。CPU80は、エリアを区分するための制御データと転写周期とをメモリ制御装置20に書き込む。

【0034】通信制御装置30は、メモリ制御装置20に書き込まれた設定情報に従い、プロセスデータメモリ10からデータを取り出し、送信する。また、通信路70で送られてきた受信フレーム中のデータを取り込み、このデータをプロセスデータメモリ10に書き込む。

【0035】したがって、計算機1は、プロセスデータ

・メモリ10にデータを書き込みまたはプロセスデータ・メモリ10から所定のタイミングでデータを読み出すことにより、プロセスデータを送受信し、プロセス制御対象60を制御できる。

【0036】図3は、プロセス入出力装置50とスキャン装置40とプロセスデータメモリ12とメモリ制御装置22と通信制御装置32の部分の接続をより詳細に示すブロック図である。スキャン装置40においては、処理装置42、プログラムデータメモリ43、アドレスメモリ44、方向メモリ45が、アドレスバス83とデータバス84とにより接続されている。アドレスバス83とデータバス84とは、外部のプロセスデータメモリ12とメモリ制御装置22とに接続されている。外部のプロセスデータメモリ12とメモリ制御装置22とは、転送制御装置47に接続されている。転送制御装置47は、さらに送信タイミングを知るためのカウンタ46に接続されている。転送制御装置47は、プロセスデータメモリ12とプロセス入出力装置50との間のデータの読み出しおよび書き込みを制御する。

【0037】スキャン装置40は、電源が投入されたら、図4の12に示すa、b、c、dのように、送信エリアと受信エリアとを区分しておく、例えば、aエリアは計算機1からのコマンド受信エリア、cエリアはコマンドに対するレスポンス送信エリアと予め決めておく。他のe、f、g、hエリアは、コマンドによりこれからする区分ため、電源投入時はまだ未区分状態である。スキャン装置40に接続したメモリ制御装置22にコマンドレスポンスエリアの区分情報を設定し、計算機1からのコマンドを受信可能な状態にしておく。

【0038】図5は、本発明によるコマンドデータの構成の一実施例を示す図である。本実施例では、コマンドフォーマット内に、相手装置番号A1、コマンドA2、コマンド識別番号A3、データA4を持ち、コマンド発行相手A1とコマンド処理内容A2、A3とコマンドに付随するデータA4とを伝えることにする。

【0039】図6は、図1の実施例のスキャン装置のコマンド取込みとコマンド実行との処理手順を示すフローチャートである。スキャン装置40側では、図6に示す手順でコマンドフォーマットを参照し、コマンドを処理する。スキャン装置40は、コマンドが自分宛かどうか判断し、自分宛のコマンドの場合は、コマンド識別番号が前回のコマンド識別番号と違うかどうか判断する。この処理は、同一コマンドを複数回処理するのを防止する。コマンド識別番号が前回と異なっていれば、コマンドを処理し、その処理結果をレスポンスとして図4の中のエリアGに書き込む。書き込む内容は、コマンドの処理が正常に終了したか、異常があったか、コマンドパラメータの異常があった等の情報である。

【0040】コマンドによる制御内容を次に述べる。まず、アドレスメモリ44および方向メモリ45にデータ

を設定する。プロセスデータメモリ12のX番地とプロセス入出力装置50のY番地とを対応付けるデータをアドレスメモリ44に設定する。また、アクセスの方向がX番地からY番地なのかY番地からX番地なのかという方向データを方向メモリ45に設定する。次に、別コマンドで、e、f、G、hエリアの区分データ、および転写周期を設定する。スキャン装置40は、そのコマンドにより、e、f、G、hエリアの送信受信の区分と周期と決定するデータをメモリ制御装置22に書き込む。通信制御装置32は書き込まれた区分と周期とのデータをもとに、この時点からエリアe、f、G、hの送信受信の動作を開始する。最後に、スキャン装置40に対し、プロセスデータメモリ12とプロセス入出力装置50との間のデータ転送の開始を指示するコマンドを発行し、プロセスデータメモリ12とプロセス入出力装置50との間でプロセス制御対象60のプロセスデータを交換させる。

【0041】以上の処理を各計算機1、2とスキャン装置40、41とのすべてに対して実施すると、各プロセスデータメモリ10、11、12、13は、図4に示すように区分される。また、各スキャン装置40と41は、各々プロセス制御対象60とプロセスデータメモリ12、13との間のデータ転送を実行できる。

【0042】この状態では、例えば計算機1が送信エリアEにデータを設定すれば、各スキャン装置40、41は、送信エリアEに設定されたデータを転送する。したがって、各スキャン装置40、41内の転送制御装置47が、プロセス入出力装置50、51を経由して、プロセス制御対象60への制御信号を転送する。

【0043】逆方向の転送については、転送制御装置47が、プロセス制御対象60のプロセスデータをプロセスデータメモリ12、13の各送信エリアG、Hに書き込み、計算機1、2のエリアg、hに送信するため、計算機側ではそのプロセスデータを自由に使用できる。プロセスデータメモリ10、11、12、13を図4のように設定すると、各計算機1、2は全プロセスデータを各々保有し、計算機間のデータ通信が不要となるので、計算機の処理の負担が軽減される。

【0044】図7は、図6における「コマンドに応じた処理」の1つであるアドレスデータ設定すなわちアドレスメモリ44および方向メモリ45への本発明独自のデータ設定処理手順と、それに続くレスポンス返送処理手順とを併せて示すフローチャートである。設定するデータが多量の場合、従来の装置では、パラメータとしてのアドレス情報の合理性チェックとアドレスメモリ44および方向メモリ45へのデータ設定に長時間を要していた。

【0045】これに対して、本実施例においては、パラメータとしてのアドレスデータおよび方向データの合理性をチェックし、OKならば、その段階で正常終了のレ

スポンスを返送し、その後に時間の掛かるアドレスメモリ44へのアドレスデータの設定と方向メモリ45への方向データの設定とを実行する方式を採用している。一方、パラメータとしてのアドレスデータおよび/または方向データに異常がある場合は、パラメータ異常のレスポンスを返送して、処理を終了する。

【0046】したがって、本実施例によれば、パラメータとしてのアドレスデータおよび方向データの合理性をチェックし、OKならば、その段階で正常終了のレスポンスを返送し、すなわち、処理すべきデータの長短にかかわらず、コマンド処理が完了する前に、コマンド受信からほぼ一定の時間でレスポンスを返送し、計算機の時間管理処理を一元化し単純にできるので、計算機の処理時間を短縮し、システムの制御能力を高めることが可能となる。

【0047】

【発明の効果】本発明によれば、処理すべきデータの長短にかかわらず、コマンドとレスポンスとの間の時間が一定になるので、計算機の時間管理処理を一元化して単純にでき、計算機の処理時間を短縮し、システムの制御能力を高められる。

【0048】スキャンすべきアドレスをコマンドにより設定できるから、システムの構築が容易になり、スキャンすべきアドレスの設定変更によりプロセス入出力装置と計算機とを簡単に切り離して、保守作業を実行できる。

【0049】各計算機は、プロセス入出力装置が持つ制御対象の全データを持つため、自己のメモリを参照すれば、必要なデータを取得できる。したがって、データ取得のための計算機間データ通信が不要となり、システムの応答性と制御性能が向上する。

【0050】プロセス制御対象からのデータの取得は、取得するデータのプロセス入出力制御装置上のアドレスとそのデータを格納するメモリ上のアドレスとを同時に順序よくアクセスし、サイクリック通信により所定周期で送信する。その周期をプロセスの変化速度よりも充分に短くすると、必要な精度で最新のデータを取得できる。

【図面の簡単な説明】

【図1】本発明によるプロセス制御システムの一実施例の全体構成を示すブロック図である。

【図2】図1の実施例の計算機とプロセスデータメモリとメモリ制御装置と通信制御装置との関係をより詳細に示すブロック図である。

【図3】図1の実施例のスキャン装置の詳細な構成を示すブロック図である。

【図4】サイクリック通信のコマンドの転送方法とプロセスデータの転送方法とを説明する図である。

【図5】本発明によるコマンドデータの構成の一実施例を示す図である。

11

【図6】図1の実施例のスキヤン装置のコマンド取込みとコマンド実行との処理手順を示すフローチャートである。

【図7】図6における「コマンドに応じた処理」の1つであるアドレスデータ設定すなわちアドレスメモリ44および方向メモリ45への本発明独自のデータ設定処理手順と、それに続くレスポンス返送処理手順とを併せて示すフローチャートである。

【符号の説明】

1 計算機

2 計算機

10 プロセスデータメモリ

11 プロセスデータメモリ

12 プロセスデータメモリ

13 プロセスデータメモリ

20 メモリ制御装置

21 メモリ制御装置

22 メモリ制御装置

23 メモリ制御装置

10

30 通信制御装置

31 通信制御装置

32 通信制御装置

33 通信制御装置

40 スキヤン装置

41 スキヤン装置

42 処理装置

43 プログラムデータメモリ

44 アドレスメモリ

45 方向メモリ

46 カウンタ

47 転送制御装置

50 プロセス入出力装置

51 プロセス入出力装置

60 プロセス制御対象

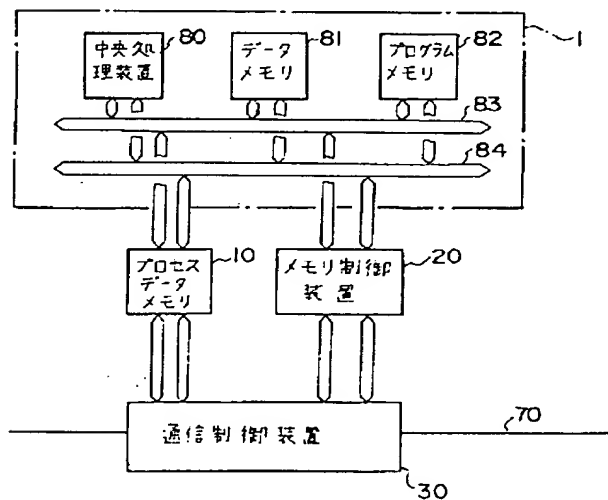
70 通信路

83 アドレスバス

84 データバス

12

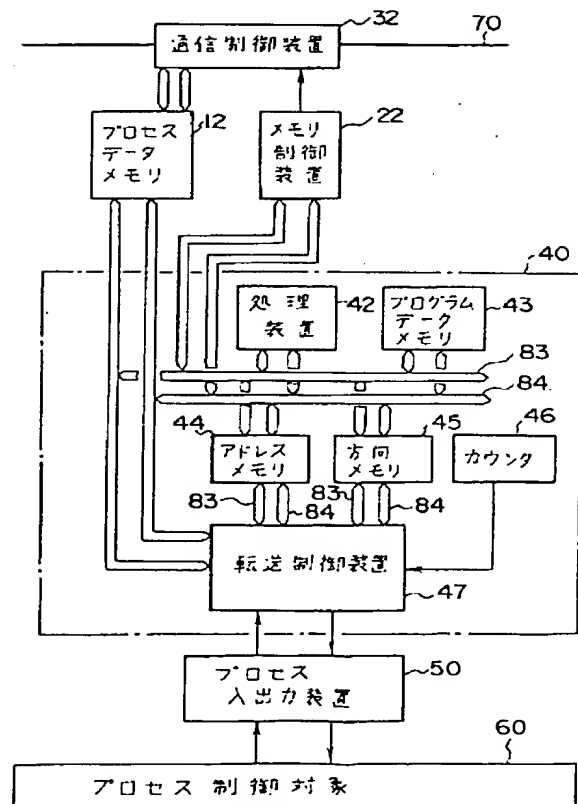
【図2】



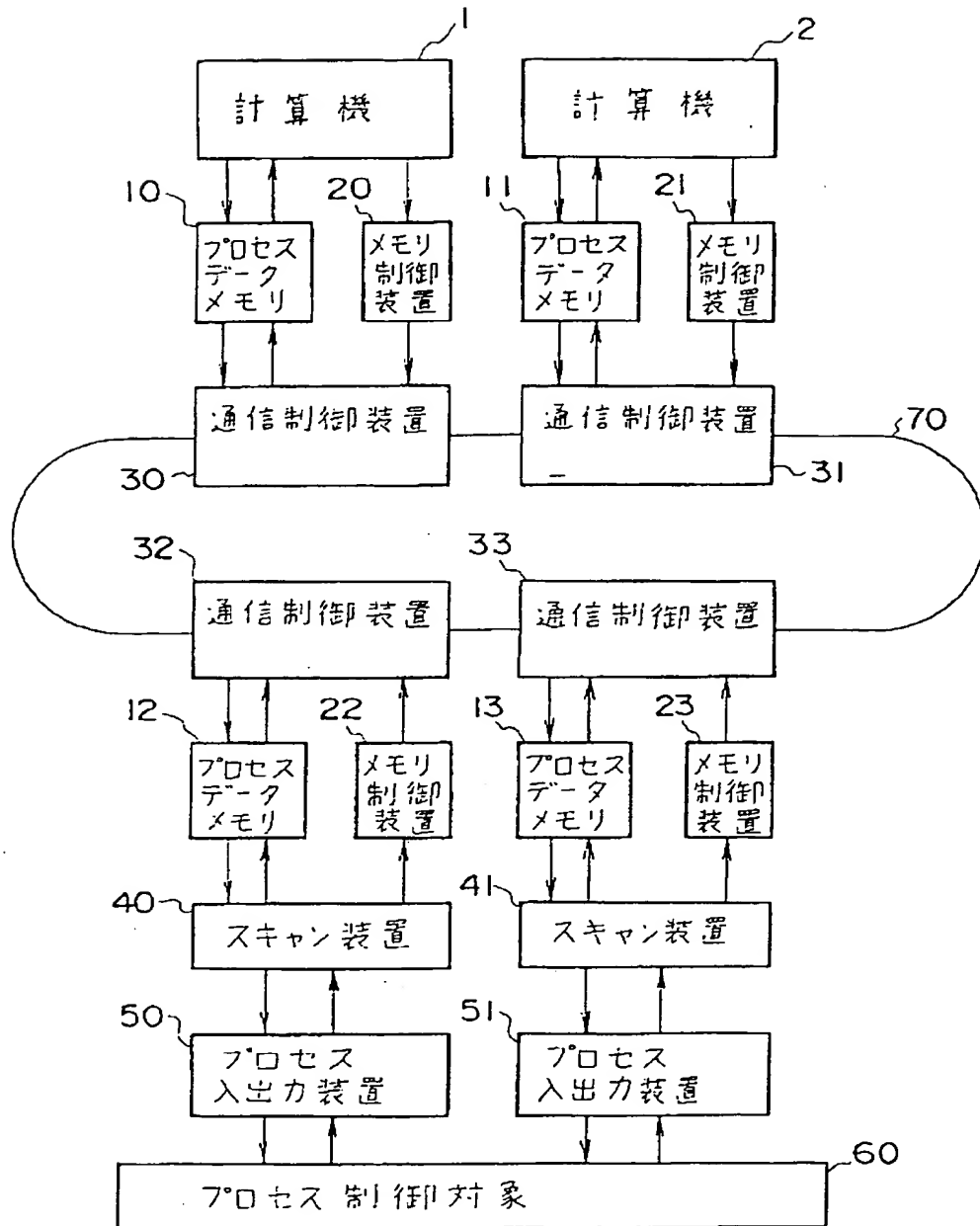
【図5】

相手装置番号	~A1
コマンド	~A2
コマンド識別番号	~A3
データ	~A4

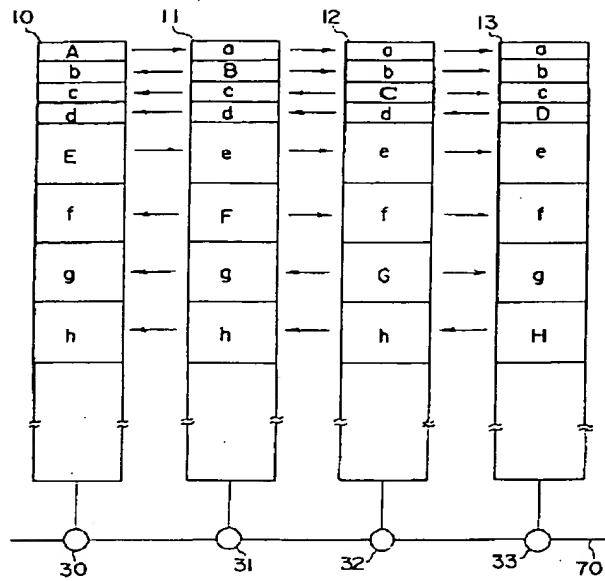
【図3】



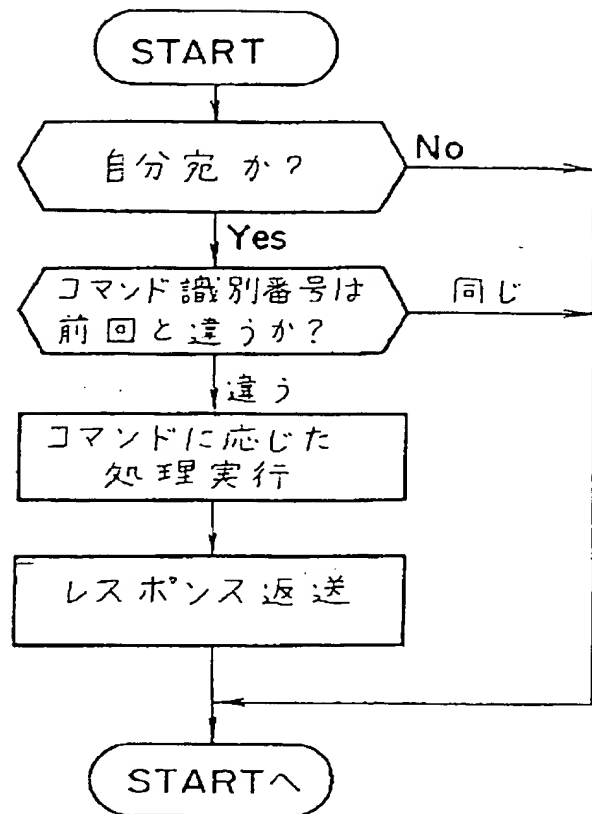
【図1】



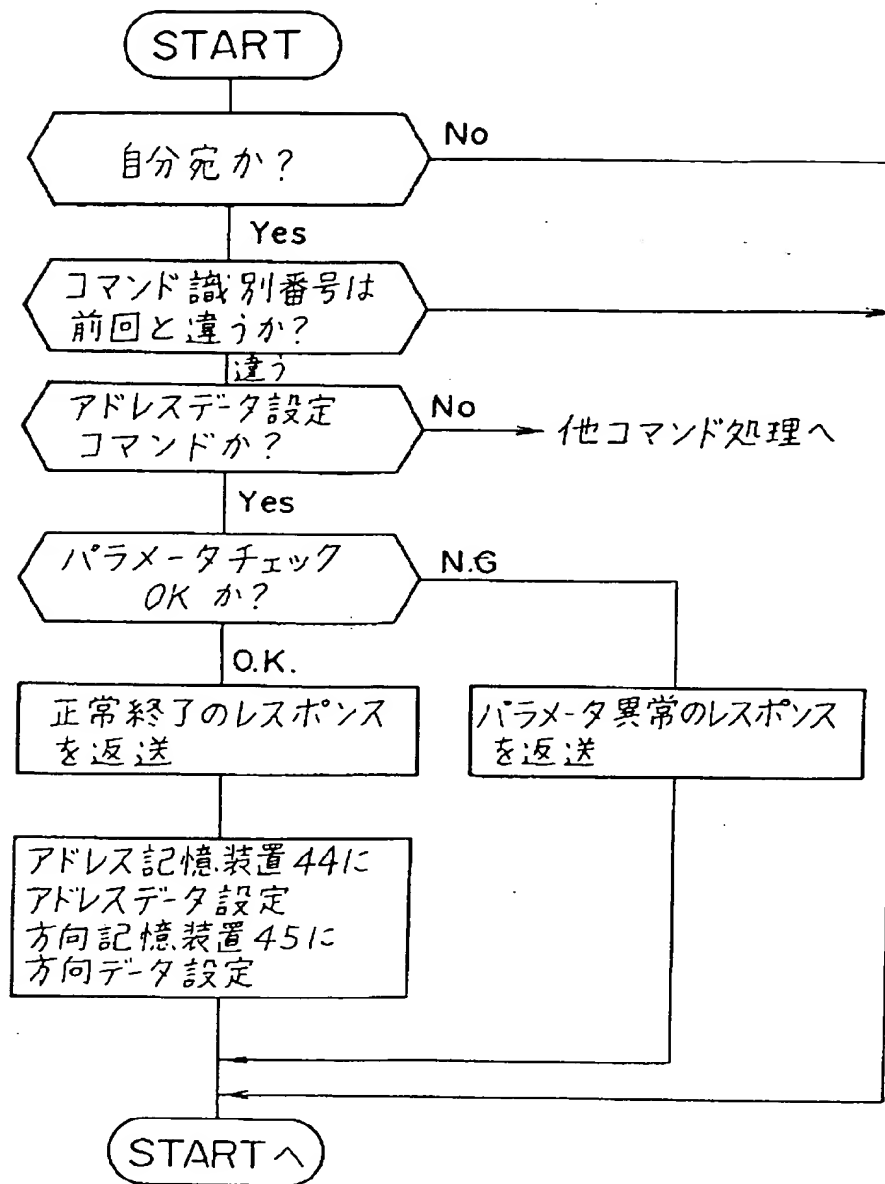
【図4】



【図6】



【図7】



PTO 04-0143

Japanese Patent

Document No. H5-257852

PROCESS DATA PROCESSING SYSTEM AND PROCESSING METHOD

[Purosesu Deta Shori Shisutemu Oyobi Shori Hoho]

Mitsuru Abo

UNITED STATES PATENT AND TRADEMARK OFFICE

Washington, D.C.

October 2003

Translated by: Schreiber Translations, Inc.

Country : Japan

Document No. : H5-257852

Document Type : Kokai

Language : Japanese

Inventor : Mitsuru Abo

Applicant : Hitachi, Ltd.

IPC : G 06 F 13/00
H 04 L 12/28
H 04 Q 9/00

Application Date : March 10, 1992

Publication Date : October 8, 1993

Foreign Language Title : Purosesu Deta Shori Shisutemu
Oyobi Shori Hoho

English Title : PROCESS DATA PROCESSING SYSTEM AND
PROCESSING METHOD

(54) Title of the invention

Process data processing system and processing method

(57) Summary

Objective: To provide a process data processing system with an enhanced system control capacity wherein the processing time of a computer is abbreviated by simplifying the response standby time management of said computer.

Constitution: The rationalities of parameterized address data and direction data are checked, and in a case where "OK" is rendered, a "normal completion" response is returned at this stage, and the designation of address data for the address memory (44) and the designation of direction data for the direction memory (45), which are each time-consuming, are subsequently executed. In a case where the parameterized address data and/or direction data have been judged to be abnormal, on the other hand, a "parameter abnormality" response is returned, and the routine is completed.

Effects: The time elapsed between the respective stages for issuing a command and a response becomes constant regardless of the lengths of data scheduled to be processed, and accordingly, the computer time management can be simplified.

8

¹ Numbers in the margin indicate pagination in the foreign text.

Patent Claims

/2

Claim 1

A process data processing system with the following characteristics: In a process data processing system wherein multiple communications control devices embodied by mutually connecting control computers or process control devices are connected to a transmission path, wherein process data are transmitted cyclically from at least one of the aforementioned communications control devices, and wherein a communications control device(s) other than the aforementioned transmission-side communications control device possesses a data transmission mechanism for receiving the aforementioned process data,

Control Data The aforementioned computer possesses a mechanism which feeds control commands and control data into cyclic frame data and then transmits the same, whereas

The aforementioned process control device possesses, between a process input/output mechanism and a communications control device connected to said process input/output mechanism, a mechanism which checks the rationalities of the aforementioned control commands included in the received frame data, a mechanism which, immediately upon the completion of the check, feeds a "normal completion" response or "parameter abnormality" response into the aforementioned frame data and returns the same, and a mechanism which, in a case where the aforementioned "normal completion" response has become returned, executes the control

contents based on the aforementioned control commands and the aforementioned control data, inputs the control results, as a response, into the aforementioned frame data, and then transmits the same.

Claim 2

A process data processing system with the following characteristics: In a process data processing system wherein multiple communications control devices embodied by mutually connecting control computers or process control devices are connected to a transmission path, wherein process data are transmitted cyclically from at least one of the aforementioned communications control devices, and wherein a communications control device other than the aforementioned transmission-side communications control device possesses a data transmission mechanism for receiving the aforementioned process data,

The aforementioned computer possesses a mechanism which feeds control commands and control data into cyclic frame data and then transmits the same, whereas

The aforementioned process control device possesses, between a process input/output mechanism and a communications control device connected to said process input/output mechanism, a mechanism which ignores said control commands in a case where the control command identification No. included in the received frame data is identical to that of the preceding cycle, a mechanism which checks the rationalities of the non-ignored control commands included in the received frame data, a mechanism which,

immediately upon the completion of the check, feeds a "normal completion" response or "parameter abnormality" response into the aforementioned frame data and returns the same, and a mechanism which, in a case where the aforementioned "normal completion" response has become returned, executes the control contents based on the aforementioned control commands and the aforementioned control data, inputs the control results, as a response, into the aforementioned frame data, and then transmits the same.

Claim 3

A process data processing method with the following characteristics: In a process data processing method predicated on a format whereby process data are cyclically transmitted, at a certain periodic frequency, from at least one of multiple stations connected to a communications path and whereby the stations other than the aforementioned transmission-side station(s) receive the aforementioned process data,

The aforementioned transmission-side station(s) is constituted to feed control commands and control data into cyclic frame data and then transmit the same, whereas

The aforementioned reception-side station(s) is constituted not only to check the rationalities of the aforementioned control commands included in the received frame data, to feed, immediately upon the completion of the check, a "normal completion" response or "parameter abnormality" response into the aforementioned frame data and then return the same but also to execute, in a case where the aforementioned "normal completion" response has become

returned, the control contents based on the aforementioned control commands and the aforementioned control data, feed the control results, as a response, into the aforementioned frame data, and then transmit the same.

Claim 4

A process data processing method with the following characteristics: In a process data processing method predicated on a format whereby process data are cyclically transmitted, at a certain periodic frequency, from at least one of multiple stations connected to a communications path and whereby the stations other than the aforementioned transmission-side station(s) receive the aforementioned process data,

The aforementioned transmission-side station(s) is constituted to feed control commands and control data into cyclic frame data and then transmit the same, whereas

The aforementioned reception-side station(s) is constituted not only to ignore said control commands in a case where the control command identification No. included in the received frame data is identical to that of the preceding cycle, check the non-ignored control commands included in the received frame data, feed, immediately upon the completion of the check, a "normal completion" response or "parameter abnormality" response into the aforementioned frame data, and then return the same but also to execute, in a case where the aforementioned "normal completion" response has become returned, the control contents based on the aforementioned control commands and the aforementioned control

data, feed the control results, as a response, into the aforementioned frame data, and then transmit the same.

Detailed explanation of the invention

[0001]

(Industrial application fields)

The present invention concerns a process data processing system, and in particular, it concerns a format with the following characteristics: In a process data processing system wherein multiple communications control devices are mutually connected via a transmission path and wherein the cyclic communications format is orchestrated for exchanging data among the respective communications control devices, command data and response data for the former are confined within a cyclic communications data frame, whereas a process input/output mechanism is remote-controlled by commands as well as a format for efficiently returning responses.

[0002]

(Prior art)

As far as the cyclic communications format of the prior art is concerned, a transmission-side communications control device is constituted to transmit, at a certain time interval, information within a memory, whereas each reception-side communications control device is constituted to receive said information after a certain delay period. Data received by a computer connected to each reception-side communications control device are renewed on

the memory at a certain time interval, and accordingly, said data can be freely accessed whenever necessary, whereas, since the data received by the transmission-side communications control device can be received by all others, namely the reception-side communications control devices, there is no need for the computer connected to the transmission-side communications control device to transmit the data individually to the respective reception stations, which is advantageous in that the processing burden on the transmission-side computer can be alleviated.

/3

[0003]

The data targeted for cyclic communications may, for example, be instantiated by process data for process control purposes, as Japanese Patent Application Publication No. Kokai Sho 62[1987]-258534 and Sho 57[1982]-206924 note.

[0004]

Japanese Patent Application Publication No. Kokai Sho 62[1987]-258534 utilizes a cyclic communications format whereby process data are transmitted or received at a certain periodic frequency. The collection of the process data is executed by a computer connected to each communications control device within the network.

[0005]

Japanese Patent Application Publication No. Sho 57[1982]-206924, on the other hand, relies on a constitution whereby a special control device is configured for each process monitor

control target and whereby the respective control devices are connected via a communications network for the purpose of dispersing the processing load. The process control targets are connected, via multiple process input/output mechanisms, to the communications network, whereas each control device is constituted not only to access necessary process control data from a process input/output mechanism under the jurisdiction thereof and then subject them to a computation routine but also to, in a case where the data of a process input/output mechanism(s) not under its own jurisdiction become necessary, execute a routine for communicating data with a control device under the jurisdiction of which said process input/output mechanism(s) operates for the purpose of acquiring the necessary data.

[0006]

A format for abbreviating the computer standby time of a case where a command that dictates the transmission of multiple frames becomes exchanged between a computer and a communications control device that constitute a single station, furthermore, is mentioned in Japanese Patent Application Publication No. Kokai Hei 1[1989]-232852, for example. As far as this format is concerned, an interface table for storing a "transmission in progress" pointer and a "latest" pointer is configured between a computer and a communications control device for enabling the intervention of a command indicated by the "latest" pointer.

[0007]

(Problems to be solved by the invention)

As far as the process control system of the prior art based on the cyclic communications format is concerned, a computer connected to a communications control device that constitutes a network inputs and outputs data in relation to the process input/output mechanism, and therefore, in a case where the computer and process input/output mechanism are mutually far apart, it becomes necessary to orchestrate another computer for inputting and outputting data in relation to the process input/output mechanism, which is problematic due to cost appreciation.

[0008]

One objective of the present invention is to provide an inexpensive process data processing system which requires no special computer for inputting and outputting data in relation to diversely configured control targets.

[0009]

As far as the routine dispersion-type process control device of the prior art is concerned, on the other hand, each control device is constituted to possess only the data of the process input/output mechanism under its own jurisdiction, and therefore, in a case where data possessed by another control device become necessary, it is necessary to communicate data, at a certain timing, with a computer which possesses said data. The responsiveness of the system diminishes during the routine for

communicating said data, which is problematic in that the control performances become adversely affected.

[0010]

Another objective of the present invention is to provide a process data processing system which ensures not only a high responsiveness but also flexible operative morphology and system design without entailing such troubles as mount failure errors, etc. on the control device side even in a case where process input/output mechanisms, etc. are renewed.

[0011]

As far as the process control system of the prior art is concerned, furthermore, data are directly inputted and/or outputted by a control device in the context of altering process input/output mechanisms (e.g., detachment, etc.), due to which the corresponding routine for detaching the process input/output mechanism, etc. entails a "mount failure error," which signifies a failure to mount said process input/output mechanism, namely a trouble fatal for the computer of the control device, which is problematic.

[0012]

Still another objective of the present invention is to provide a process data processing system which, by virtue of the flexible operative morphology of the process control system, does not affect the overall operation even in a case where a process input/output mechanism is detached during a certain operation (e.g., maintenance, etc.).

[0013]

As far as the format whereby an interface table for storing a "transmission in progress" pointer and a "latest" pointer is configured between a computer and a communications control device for enabling the intervention of a command indicated by the "latest" pointer is concerned, the routines for processing commands or data within the corresponding station that must be urgently transmitted may become rationalized, but absolutely no improvements are acknowledged in relation to paired devices (e.g., process input/output mechanism).

[0014]

In other words, as far as the process control system which possesses a command interface between a computer and a process input/output mechanism is concerned, the computer is often designed to manage the time prior to the arrival of a response for judging the response standby timeout. In a case where the response standby timeout durations for the respective commands mutually differ, it becomes necessary for the computer to manage the response standby time for each command, which is problematic in that the types of times to be managed become diverse and that routines on the computer side become complicated.

[0015]

In the case of a command which entails an extended processing period that cannot be confined to a certain time limit, furthermore, it is problematic not only because a uniform time management scheme cannot be utilized since the issuing of the

command till the arrival of a response but also because the routine becomes complicated, accompanied by an extended processing period.

[0016]

The most important objective of the present invention is to provide a process data processing system with an enhanced system control capacity by reducing the number of the types of times to be managed by a computer, by simplifying routines on the computer side for the purpose of minimizing the processing load, by abbreviating the time required for returning a response in response to a command issued by a process input/output mechanism, and by abbreviating the computer processing time.

[0017]

(Mechanism for solving the problems)

In order to achieve the aforementioned objectives, the present invention proposes a process data processing system with the following characteristics: In a process data processing system wherein multiple communications control devices embodied by mutually connecting control computers or process control devices are connected to a transmission path, wherein process data are transmitted cyclically from at least one of the aforementioned communications control devices, and wherein a communications control device other than the aforementioned transmission-side communications control device possesses a data transmission mechanism for receiving the aforementioned process data,

The aforementioned computer possesses a mechanism which feeds control commands and ~~control data~~ into cyclic frame data and then transmits the same, whereas /4

The aforementioned process control device possesses, between a process input/output mechanism and a communications control device connected to said process input/output mechanism, a mechanism which checks the rationalities of the aforementioned control commands included in the received frame data, a mechanism which, immediately upon the completion of the check, feeds a "normal completion" response or "parameter abnormality" response into the aforementioned frame data and returns the same, and a mechanism which, in a case where the aforementioned "normal completion" response has become returned, executes the control contents based on the aforementioned control commands and the aforementioned control data, inputs the control results, as a response, into the aforementioned frame data, and then transmits the same.

[0018]

The process control device may also be constituted to possess a mechanism which ignores said control commands in a case where the control command identification No. included in the received frame data is identical to that of the preceding cycle.

[0019]

In order to achieve the aforementioned objectives, furthermore, the present invention also proposes a process data processing method with the following characteristics: In a process

data processing method predicated on a format whereby process data are cyclically transmitted, at a certain periodic frequency, from at least one of multiple stations connected to a communications path and whereby the stations other than the aforementioned transmission-side station(s) receive the aforementioned process data,

The aforementioned transmission-side station(s) is constituted to feed control commands and control data into cyclic frame data and then transmit the same, whereas

The aforementioned reception-side station(s) is constituted not only to ignore said control commands in a case where the control command identification No. included in the received frame data is identical to that of the preceding cycle, check the non-ignored control commands included in the received frame data, feed, immediately upon the completion of the check, a "normal completion" response or "parameter abnormality" response into the aforementioned frame data, and then return the same but also to execute, in a case where the aforementioned "normal completion" response has become returned, the control contents based on the aforementioned control commands and the aforementioned control data, feed the control results, as a response, into the aforementioned frame data, and then transmit the same.

[0020]

With regard to this process data processing method, too, it is possible to ignore said control commands in a case where the

control command identification No. included in the received frame data is identical to that of the preceding cycle.

[0021]

(Functions)

As far as the present invention is concerned, each computer is endowed with the entire data on the control target assigned to the process input/output mechanism, and therefore, necessary data can be acquired with reference to its own memory. It therefore becomes unnecessary to communicate data between computers in the context of acquiring data, based on which the system responsiveness and control performances become improved.

[0022]

The response transmission mechanism designates process input/output mechanism mounting information based on a command obtained from the computer, and it alters the mounting information in a case where the process input/output mechanism becomes altered. In a case where the command is reissued, therefore, the arising of the "no mount failure error" can be avoided. The computer takes in the data transmitted by the response transmission mechanism via its own communications control device and process data memory, and therefore, the "no mount failure error" can be utterly eradicated on the computer side.

[0023]

In a case where the computer acquires data from the process control target, it simultaneously accesses the addresses of the

acquired data on the process input/output mechanism and the addresses on the memory for storing said data in proper order and then transmits the same cyclically at a certain periodic frequency. It becomes possible to acquire the latest data in a required precision by sufficiently abbreviating said periodic frequency in relation to the process permutation rate.

[0024]

Instead of being connected directly to the process control device, the computer is indirectly connected to the same via a process data memory, based on which the system design flexibility can be enhanced, and since the process control device can be safely detached for maintenance, the maintenance can also be facilitated.

[0025]

As far as the present invention is concerned, in particular, the rationality of a control command included in the received frame data is checked, and either a "normal completion" response or "parameter abnormality" response is fed, immediately upon the completion of the check, into the frame data and then returned regardless of the length of the data scheduled to be processed. The control contents, furthermore, are executed based on the control command and control data only in a case where a "normal completion" response has become returned, and the obtained control results are fed, as a response, into the frame data and then transmitted. Upon the passage of a certain period since the issuing of the command, the computer imports response data from

the process input/output mechanism regardless of the length of the data scheduled to be processed, and subsequently, whether the issued command has been completed normally or abnormally is judged. There is therefore no need to constantly monitor the arrival of a response, based on which the computer load can be alleviated. Even if the response data are imported upon the passage of a certain period, furthermore, the pervasion of the response timeout can be judged in a case where a response has yet to arrive, and therefore, no special timer management is necessary.

[0026]

The essential routines for executing the command and data upon the return of the response are executed by exploiting the command processing vacancy times for subsequently issued commands. Such a vacancy time can invariably be secured in that a constant time is designated as the interval between one command and another.

[0027]

Since the executions of all commands become completed within a certain period, there is no need to designate the response standby time on the computer side in consideration of the command processing contents, based on which the response standby times for the commands can be uniformly managed, and for this reason, too, the burden becomes alleviated.

[0028]

(Application examples)

Next, an application example of the process control system of the present invention will be explained with reference to Figures 1 through 7. Figure 1 is a block diagram which shows the overall constitution of said application example of the process control system of the present invention. This process control system is constituted to include multiple computers (1) and (2), which control the processes of the process control target (60) in dispersed fashions, the communications control devices (30), (31), (32), and (33), which may, for example, be cyclically connected via the communications path (70), the process data memories (10) and (11), which are each connected between the respective computers (1) & (2) and the communications control devices (30) & (31), and the memory control devices (20) and (21), which control the input/output actions of the process data memories (10) and (11) and the cyclic communications periodic frequencies. /5

[0029]

The process control system, furthermore, is constituted to include the process input/output devices (50) and (51), which are each configured between the respective communications control devices (32) & (33) and the process control target (60), the scanning devices (40) and (41), which scan the respective process input/output devices (50) and (51), the process data memories (12) and (13), which are each connected between the respective scanning devices (40) & (41) and the communications control devices (32) & (33), and the memory control devices (22) and (23), which manage

the input/output actions of the process data memories (12) and (13) and the cyclic communications periodic frequencies.

[0030]

Figure 2 is a block diagram which shows more detailed relationships among the computer, process data memory, memory control device, and communications control device of the application example of Figure 1. The computer (1) possesses the central processing unit (CPU) (80), the data memory (81), the program memory (82), and the address bus (83) & the data bus (84), which connect the former members. The address bus (83) and the data bus (84) are connected also to the process data memory (10) and the memory control device (20). The process data memory (10) and the memory control device (20) are connected to the communications control device (30) via another set of address bus and data bus.

[0031]

Incidentally, the respective constitutions of the computer (2), the process data memory (11), and the communications control device (31) are identical to their respective counterparts of the computer (1), the process data memory (10), and the communications control device (30).

[0032]

The CPU (80) not only executes necessary computation routines by using process data on the process control target (60), etc. stored in the data memory (81) in compliance with programs stored in the program memory (82) but also controls the processes of the

process control target (60) via the communications control device (30). For the purpose of realizing this control protocol, it is necessary to determine not only the transmission area and reception area within the process data memory (10) but also the transfer periodic frequency.

[0033]

The CPU (80) compartmentalizes, as Figure 4 shows, the process data memory (10) into areas in compliance with the programs stored in the program memory (82). Capital letters such as A, E, etc. graphically shown within the process data memory (10) signify transmission areas, whereas lower case letters such as b, c, d, etc. signify reception areas. This notation format based on capital and lower case letters is likewise applied to the other process data memories (11), (12), and (13), where the capital and lower case letters respectively signify transmission and reception areas. The CPU (80) encodes, into the memory control device (20), control data for compartmentalizing such areas and transfer periodic frequencies into the memory control device (20).

[0034]

The communications control device (30) retrieves the data from the process data memory (10) and then transmits the same in compliance with the designation information encoded into the memory control device (20). Data within a reception frame transmitted via the communications path (70), furthermore, are

taken in, and such data are encoded into the process data memory (10).

[0035]

The computer (1) therefore either encodes data into the process data memory (10) or decodes the data from the process data memory (10) at a certain timing, based on which it becomes possible to transmit and/or receive the process data and to control the process control target (60).

[0036]

Figure 3 is a demonstrational diagram which shows a more detailed view of the respective connection interfaces among the process input/output device (50), the scanning device (40), the process data memory (12), the memory control device (22), and the communications control device (32). Connected mutually, via the address bus (83) and the data bus (84), within the scanning device (40) are the processing unit (42), the program data memory (43), the address memory (44), and the direction memory (45). The address bus (83) and the data bus (84) are connected respectively to the process data memory (12) and the memory control device (22) on the outside. These external process data memory (12) and memory control device (22) are connected to the transfer control unit (47). The transfer control unit (47) is additionally connected to the counter (46), from which the transmission timing is discerned. The transfer control unit (47) controls the data decoding and encoding actions between the process data memory (12) and the process input/output device (50).

[0037]

The scanning device (40) compartmentalizes, in a case where the electric power source has become turned ON, the [memory] (12) shown in Figure 4 into transmission areas and reception areas a, b, c, and d, and the area a may, for example, be designated as an area for receiving a command from the computer (1), whereas the area c as an area for transmitting a response to the command. The other areas e, f, g, and h have yet to be compartmentalized at the stage where the electric power source has become turned ON, for their compartmentalizations are contingent on future commands. Command response area compartmentalization information is designated in the memory control device (22), which is connected to the scanning device (40), as a result of which a state capable of receiving a command from the computer (1) comes to prevail.

[0038]

Figure 5 is a diagram which shows an application example of the constitution of the command data of the present invention. As far as the present application example is concerned, the paired device No. A1, command A2, command identification No. A3, and data A4 are included in the command format in the context of transmitting the command issuing party A1, command processing contents A2 and A3, and the data A4, which accompany the command.

[0039]

Figure 6 is a flow chart which shows the order of routines for taking in commands and for executing the commands with regard to the scanning device of the application example shown in Figure

1. On the scanning device (40) side, the commands are processed with reference to the command format in the order shown in Figure 6. The scanning device (40) judges whether or not a given command is addressed to itself, and in a case where the command is indeed addressed to itself, it judges whether or not its command identification No. differs from the command identification No. of the preceding cycle. This routine prevents the repetitive processing of an identical command over multiple cycles. In a case where the prevailing command identification No. has been judged to differ from that of the preceding cycle, said command is processed, and the obtained processing results are encoded, as a response, into the area G in Figure 4. Such sets of information as whether the command has been completed normally or abnormally, anomalies of command parameters, etc. instantiate the encoded contents.

[0040]

Next, the commanded control contents will be explained. First, data are designated in the address memory (44) and the direction memory (45). Data which establish a correspondence

/6

between the address X of the process data memory (12) and the address Y of the process input/output device (50) are designated in the address memory (44). Direction data which show whether the access direction is from the address X to the address Y or from the address Y to the address X, furthermore, are designated in the direction memory (45). Next, compartmentalization data on the

respective areas e, f, G, and h and the transfer periodic frequencies are designated by using another command. The scanning device (40) encodes, in response to said command, not only the transmission and/or reception statuses of the respective areas e, f, G, and h but also data which determine the periodic frequency into the memory control device (22). The communications control device (32) initializes, based on the compartmentalization and periodic frequency data thus encoded, the respective transmission and/or reception actions of the areas e, f, G, and h from this stage onward. Finally, a command which dictates the initialization of data transfer between the process data memory (12) and the process input/output device (50) is issued to the scanning device (40), based on which the process data on the process control target (60) become exchanged between the process data memory (12) and the process input/output device (50).

[0041]

The foregoing routines are repeated for the respective computers (1) and (2) and scanning devices (40) and (41), as a result of which the respective process data memories (10), (11), (12), and (13) become compartmentalized according to Figure 4. It becomes possible, furthermore, for the respective scanning devices (40) and (41) to execute data transfers between the process control target (60) and the process data memories (12) & (13).

[0042]

In a case where data become designated in the transmission area E by the computer (1) in this state, for example, the

respective scanning devices (40) and (41) transfer the data designated in the transmission area E. The transfer control unit (47) within each scanning device (40) or (41) therefore comes to transfer a control signal to the process control target (60) via the process input/output device (50) or (51).

[0043]

In a case where the data are transferred along the opposite direction, the process data on the process control target (60) are encoded, by the transfer control unit (47), into the respective transmission areas G and H of the process data memories (12) and (13) and then transmitted to the respective areas g and h of the computers (1) and (2), as a result of which it becomes possible to freely access said process data on the computer side. In a case where the process data memories (10), (11), (12), and (13) are designated according to Figure 4, the respective computers (1) and (2) become endowed with the entire process data, and since it becomes unnecessary to communicate the data between the computers, the computer processing burden can be alleviated.

[0044]

Figure 7 is a flow chart which shows not only the address data designation that instantiates one of "commanded routines," namely the data designation routine orders in relation to the address memory (44) and the direction memory (45) which are unique to the present invention, but also the order of subsequent response return routines. In a case where massive volumes of data are designated for the device of the prior art, an extended period

is required for checking the rationality of the parameterized address information and for designating data into the address memory (44) and the direction memory (45).

[0045]

As far as the present application example is concerned, on the other hand, the rationalities of parameterized address data and direction data are respectively checked, and in a case where "OK" is rendered, a "normal completion" response is returned at this stage, and the designation of address data for the time-consuming address memory (44) and the designation of direction data for the direction memory (45) are subsequently executed in compliance with the orchestrated format. In a case where the parameterized address data and/or direction data have been judged to be abnormal, on the other hand, a "parameter abnormality" response is returned, and the routine is completed.

[0046]

As far as the present application example is concerned, therefore, the rationalities of parameterized address data and direction data are respectively checked, and in a case where "OK" is rendered, a "normal completion" response is returned at this stage; in other words, the response is returned over a virtually constant period since the command reception stage prior to the completion of the commanded routine regardless of the lengths of the data scheduled to be processed, and since a uniform simplified time management scheme can be provided for the computer, the

computer processing time can be abbreviated, and the system control capacity can be upgraded.

[0047]

(Effects of the invention)

As far as the present invention is concerned, the time elapsed between the respective stages for issuing a command and a response becomes constant regardless of the lengths of the data scheduled to be processed, and since a uniform simplified time management scheme can be provided for the computer, the computer processing time can be abbreviated, and the system control capacity can be upgraded.

[0048]

Since addresses to be scanned can be designated by commands, the system design can be facilitated, and a maintenance operation can be executed with ease by mutually separating the process input/output mechanism and computer based on the redesignations of addresses to be scanned.

[0049]

Each computer is endowed with the entire process data on the control target possessed by the process input/output mechanism, and therefore, the necessary data can be acquired with reference to its own memory. It therefore becomes unnecessary to communicate data between computers in the context of acquiring data, based on which the system responsiveness and control capacity can be improved.

[0050]

In a case where data are acquired from the process control target, the addresses of the acquired data on the process input/output mechanism and the addresses on the memory for storing said data are accessed simultaneously in proper order and then transmitted at a certain periodic frequency based on the cyclic communications format. It becomes possible to acquire the latest data in a required precision by sufficiently abbreviating said periodic frequency in relation to the process permutation rate.

Brief explanation of the figures

Figure 1: A block diagram which shows the overall constitution of an application example of the process control system of the present invention.

Figure 2: A block diagram which shows more detailed relationships among the computer, process data memory, memory control device, and communications control device of the application example of Figure 1.

Figure 3: A demonstrational diagram which shows a more detailed constitution of the scanning device of the application example shown in Figure 1.

Figure 4: A diagram which explains methods for transferring commands and for transferring process data based on the cyclic communications format.

Figure 5: A diagram which shows an application example of the constitution of the command data of the present invention.

Figure 6: A flow chart which shows the order of routines for taking in commands and /7
for executing the commands with regard to the scanning device of the application example shown in Figure 1.

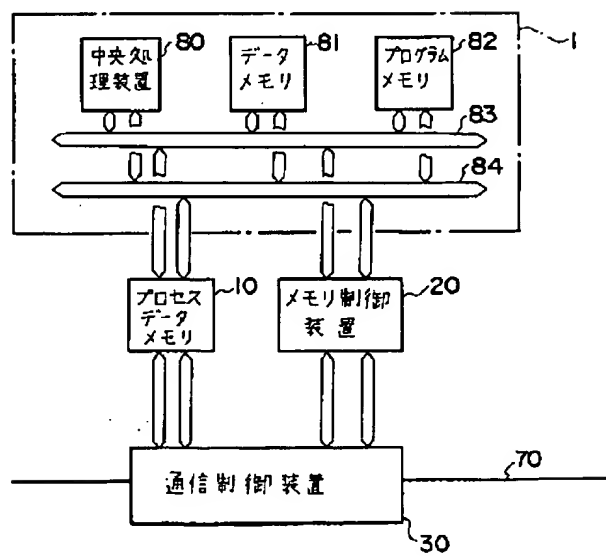
Figure 7: A flow chart which shows not only the address data designation that instantiates one of "commanded routines," namely the data designation routine orders in relation to the address memory (44) and the direction memory (45) which are unique to the present invention, but also the order of subsequent response return routines.

(Explanation of notations)

- (1): Computer;
- (2): Computer;
- (10): Process data memory;
- (11): Process data memory;
- (12): Process data memory;
- (13): Process data memory;
- (20): Memory control device;
- (21): Memory control device;
- (22): Memory control device;
- (23): Memory control device;
- (30): Communications control device;
- (31): Communications control device;
- (32): Communications control device;
- (33): Communications control device;

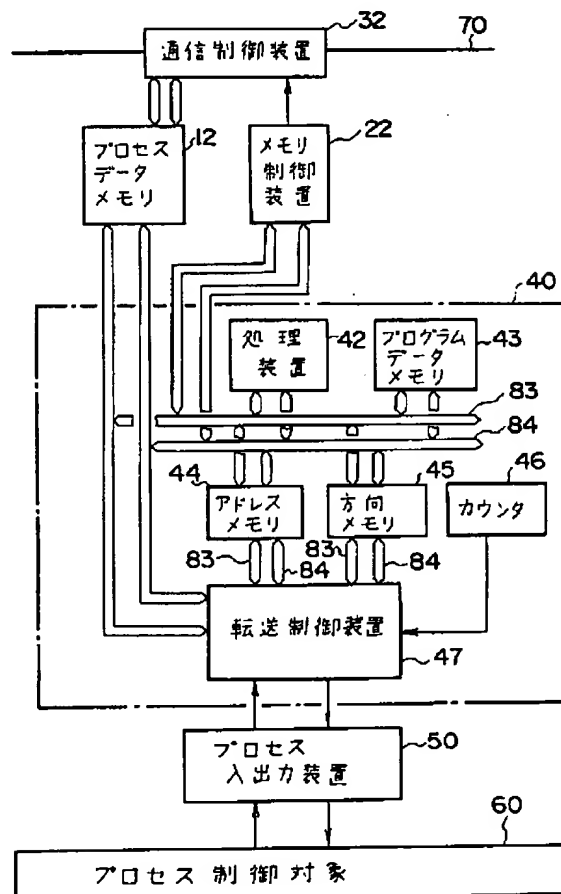
- (40): Scanning device;
- (41): Scanning device;
- (42): Processing unit;
- (43): Program data memory;
- (44): Address memory;
- (45): Direction memory;
- (46): Counter;
- (47): Transfer control unit;
- (50): Process input/output device;
- (51): Process input/output device;
- (60): Process control target;
- (70): Communications path;
- (83): Address bus;
- (84): Data bus.

Figure 2



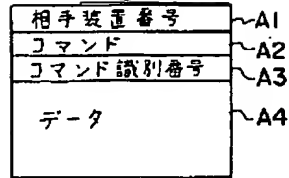
[(10): Process data memory; (20): Memory control device; (30): Communications control device; (80): Central processing unit; (81): Data memory; (82): Program memory]

Figure 3



[(12): Process data memory; (22): Memory control device; (32): Communications control device; (42): Processing unit; (43): Program data memory; (44): Address memory; (45): Direction memory; (46): Counter; (47): Transfer control unit; (50): Process input/output device; (60): Process control target]

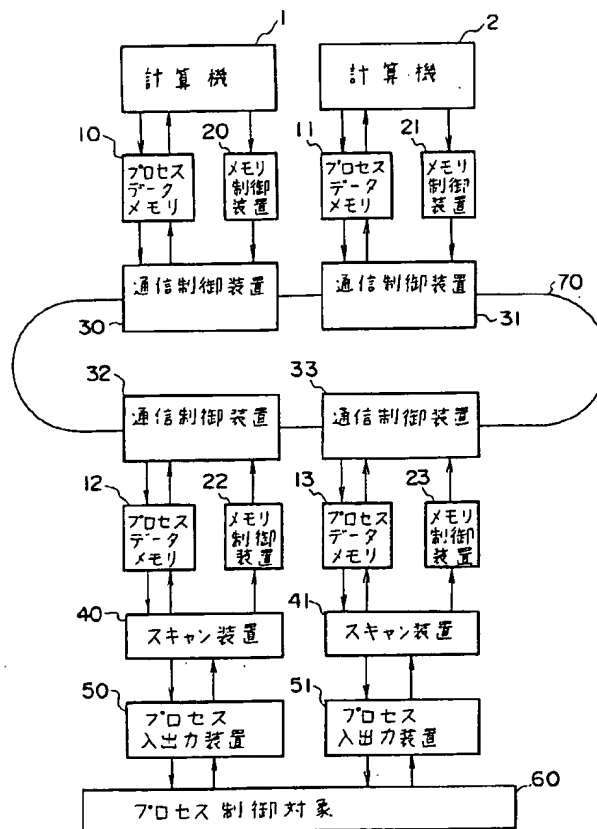
Figure 5



[(A1): Paired device No.; (A2): Command (A3): Command identification No. (A4): Data]

Figure 1

/8



[(1): Computer; (2): Computer; (10): Process data memory; (11): Process data memory; (12): Process data memory; (13): Process data

memory; (20): Memory control device; (21): Memory control device;
 (22): Memory control device; (23): Memory control device; (30):
 Communications control device; (31): Communications control
 device; (32): Communications control device; (33): Communications
 control device; (40): Scanning device; (41): Scanning device;
 (50): Process input/output device; (51): Process input/output
 device; (60): Process control target]

Figure 4

/9

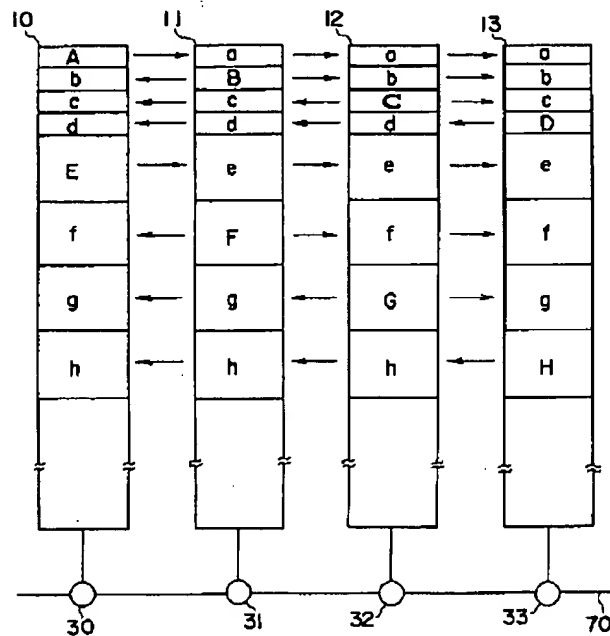
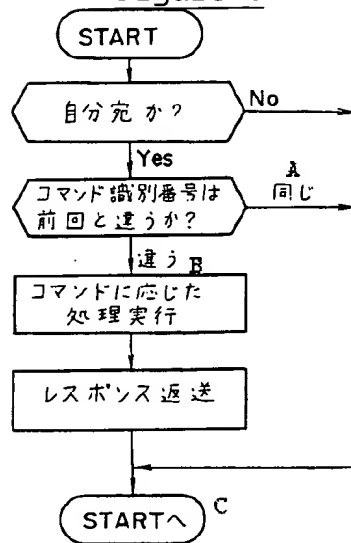


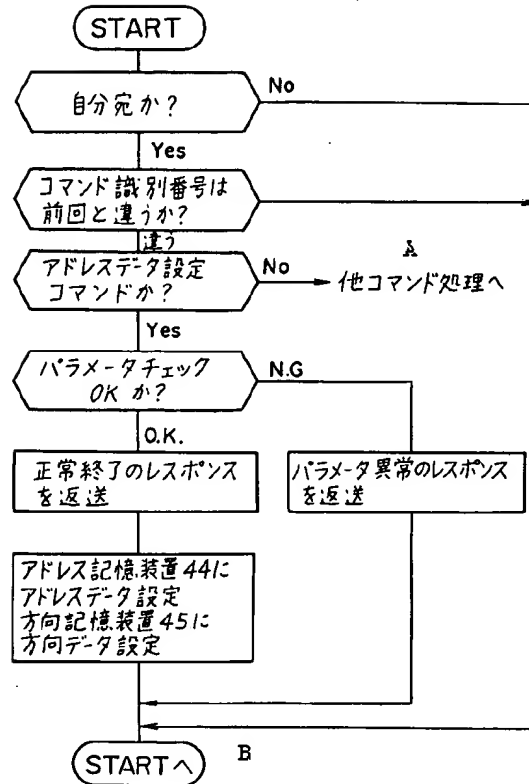
Figure 6



[(A): Same; (B): Different; (C): To START; (1): Addressed to
itself?; (2): Is the command identification No. different from
that of the preceding cycle?; (3): Execution of commanded routine;
(4): Response return]

Figure 7

/10



[(A): To another commanded routine; (B): To START; (1): Addressed to itself?; (2): Is the command identification No. different from that of the preceding cycle?; (3): Address data designation command?; (4): Parameter check OK?; (5): Return of "normal completion" response; (6): Return of "parameter abnormality" response; (7): Designation of address data in the address memory unit 44 and designation of direction data in the direction memory unit 45]